



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0079634
Application Number

출원년월일 : 2002년 12월 13일
Date of Application DEC 13, 2002

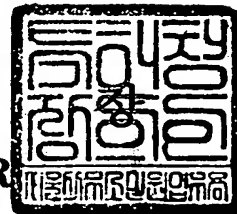
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 06 월 12 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0024
【제출일자】	2002. 12. 13
【국제특허분류】	H01L
【발명의 명칭】	데이터 독출 능력이 향상된 반도체 메모리 장치.
【발명의 영문명칭】	Semiconductor memory device with improved data read ability
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	이승훈
【성명의 영문표기】	LEE, Seung Hoon
【주민등록번호】	700824-1896335
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 청명마을3단지 957-6번지 벽산아파트 3 36-805
【국적】	KR
【발명자】	
【성명의 국문표기】	심재윤
【성명의 영문표기】	SIM, Jae Yoon
【주민등록번호】	690718-1559619
【우편번호】	442-470

【주소】 경기도 수원시 팔달구 영통동 신나무실 풍림아파트
604-1302

【국적】 KR

【심사청구】 청구

【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
이영필 (인) 대리인
정상빈 (인)

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	20	면	20,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	26	항	941,000	원
【합계】	990,000 원			

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】

【요약】

데이터 독출 능력이 향상된 반도체 메모리 장치가 개시된다. 본 발명에 따른 반도체 메모리 장치는 다이렉트 센스 앰프 회로, 입출력 게이트 회로 및 동작 제어부를 구비하는 것을 특징으로 한다. 다이렉트 센스 앰프 회로는 독출 신호에 응답하여 제 1 및 제 2 비트라인을 구비하는 비트라인 쌍에 실려있는 독출 데이터를 제 1 및 제 2 데이터 입출력 라인을 구비하는 데이터 입출력 라인 쌍으로 전달한다. 입출력 게이트 회로는 독출 기입 신호에 응답하여 상기 비트라인 쌍에 실려있는 상기 독출 데이터를 상기 데이터 입출력 라인 쌍으로 전달하거나 상기 데이터 입출력 라인 쌍에 실려있는 기입 데이터를 상기 비트라인 쌍으로 전달한다. 동작 제어부는 컬럼 어드레스 신호 및 기입 명령에 응답하여, 독출 동작 시 상기 독출 신호 및 상기 독출 기입 신호를 발생하여 상기 다이렉트 센스 앰프 회로 및 상기 입출력 게이트 회로를 모두 턴 온 시키고, 기입 동작 시 상기 독출 신호 및 상기 독출 기입 신호를 발생하여 상기 입출력 게이트 회로는 턴 온 시키고 상기 다이렉트 센스 앰프 회로는 턴 오프 시킨다.

본 발명에 따른 반도체 메모리 장치는 데이터 독출 동작의 경우 다이렉트 센스 앰프에 의한 데이터 전달 통로와 데이터 기입을 위한 통로를 모두 활성화 시켜 낮은 전원 전압 레벨에서도 독출 동작이 성공적으로 수행될 수 있는 장점이 있다.

【대표도】

도 3

【명세서】**【발명의 명칭】**

데이터 독출 능력이 향상된 반도체 메모리 장치.{Semiconductor memory device with improved data read ability}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 종래의 데이터 입출력 라인 쌍과 비트라인 쌍을 연결해주는 다이렉트 센스 앰프 회로를 설명하는 회로도이다.

도 2는 다른 종래의 데이터 입출력 라인 쌍과 비트라인 쌍을 연결해주는 다이렉트 센스 앰프 회로를 설명하는 회로도이다.

도 3은 본 발명의 실시예에 따른 반도체 메모리 장치를 설명하는 회로도이다.

도 4는 도 3의 다이렉트 센스 앰프 회로가 변형된 회로를 나타낸 회로도이다.

도 5는 본 발명의 다른 실시예에 따른 반도체 메모리 장치를 설명하는 회로도이다.

도 6은 도 5의 반도체 메모리 장치가 사용될 경우 데이터의 이동 경로를 설명하는 도면이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <8> 본 발명은 반도체 메모리 장치에 관한 것으로서, 특히, 데이터의 독출이나 기입 동작시 비트 라인 쌍의 데이터를 데이터 입출력 라인 쌍으로 효율적으로 전달하거나 전달 받기 위한 반도체 메모리 장치에 관한 것이다.
- <9> 최근들어, 반도체 메모리 장치가 낮은 전원 전압 레벨을 요구함으로 인하여 반도체 메모리 장치의 전원 전압의 전압 레벨이 낮아지는 추세에 있다. 전원 전압의 레벨이 낮아짐에 따라, 메모리 셀에서 센싱 된 데이터를 비트라인 쌍을 통하여 데이터 입출력 라인 쌍으로 전달하는 동작에도 낮아진 전원 전압 레벨에 따른 제한이 발생된다.
- <10> 도 1은 종래의 데이터 입출력 라인 쌍과 비트라인 쌍을 연결해주는 다이렉트 센스 앰프 회로를 설명하는 회로도이다.
- <11> 도 1을 참조하면, 제 1 비트라인(BL)이 다이렉트 센스 앰프(150)의 트랜지스터(TR3)를 통하여 제 2 데이터 출력 라인(RIOB)과 연결되고, 제 2 비트라인(BLB)이 다이렉트 센스 앰프(150)의 트랜지스터(TR2)를 통하여 제 1 데이터 출력 라인(RIO)과 연결된다.
- <12> 또한 제 1 비트라인(BL)이 트랜지스터(TR4)를 통하여 제 1 데이터 입력 라인(WIO)과 연결되고, 제 2 비트라인(BLB)이 트랜지스터(TR5)를 통하여 제 2 데이터 입력 라인(WIOB)과 연결된다.

- <13> 독출 동작의 경우에는 컬럼 어드레스 신호(CAS)가 하이 레벨이고 기입 명령(WR)이 하이 레벨이면 독출 신호(CSLR)가 하이 레벨로 트랜지스터(TR1)로 인가되어 트랜지스터(TR1)를 턴 온 시킨다. 그러면 비트라인 쌍(BL, BLB)에 있던 데이터가 제 1 및 제 2 데이터 출력 라인(RIO, RIOB)으로 출력된다. 이때 기입 신호(CSLW)는 로우 레벨로 되어 트랜지스터들(TR4, TR5)을 턴 오프 시킨다.
- <14> 기입 동작의 경우, 컬럼 어드레스 신호(CAS)가 하이 레벨이고 기입 명령(WR)이 로우 레벨이면 독출 신호(CSLR)가 로우 레벨로 트랜지스터(TR1)로 인가되어 트랜지스터(TR1)를 턴 오프 시킨다. 따라서 다이렉트 센스 앰프(150)는 동작되지 않는다.
- <15> 기입 신호(WR)는 하이 레벨로 되어 트랜지스터들(TR4, TR5)을 턴 온 시키고 데이터가 제 1 및 제 2 데이터 입력 라인(WIO, WIOB)을 통하여 비트라인 쌍(BL, BLB)으로 입력된다.
- <16> 도 1의 회로 구조에서는 데이터 출력 라인 쌍(RIO, RIOB)과 데이터 입력 라인 쌍(WIO, WIOB)이 별도로 분리되어 있다.
- <17> 도 2는 다른 종래의 데이터 입출력 라인 쌍과 비트라인 쌍을 연결해주는 다이렉트 센스 앰프 회로를 설명하는 회로도이다.
- <18> 도 2의 회로(200)는 데이터 입출력 라인 쌍(DIO, DIOB)을 구비하는 것으로 제외하고는 도 1의 회로(100)와 동일한 구조를 가진다. 데이터 입출력 라인 쌍(DIO, DIOB)은 도 1의 데이터 출력 라인 쌍(RIO, RIOB)과 데이터 입력 라인 쌍(WIO, WIOB)이 서로 연결된 것이다.

- <19> 도 1의 회로(100)와 마찬가지로 독출 동작의 경우에는, 트랜지스터(TR1)가 턴 온 되고, 트랜지스터들(TR4, TR5)이 턴 오프 되어 비트라인 쌍(BL, BLB)의 데이터가 데이터 입출력 라인 쌍(DIO, DIOB)으로 출력된다.
- <20> 기입 동작의 경우에는, 트랜지스터(TR1)가 턴 오프 되고, 트랜지스터들(TR4, TR5)이 턴 온 되어 외부의 데이터가 데이터 입출력 라인 쌍(DIO, DIOB)을 통하여 비트라인 쌍(BL, BLB)으로 입력된다.
- <21> 그런데, 도 1 및 도 2의 종래의 다이렉트 센스 앰프 회로 구조는 독출 동작의 경우에는 독출 신호(CSLR)만 활성화되어 다이렉트 센스 앰프(150, 250)에 의하여 증폭된 데이터가 데이터 입출력 라인 쌍(DIO, DIOB)으로 전달되고, 기입 동작의 경우에는 기입 신호(CSLW)만 활성화되어 트랜지스터들(TR4, TR5)에 의하여 외부에서 입력되는 데이터가 비트라인 쌍으로 전달된다.
- <22> 즉, 독출 동작의 경우에는 독출 신호(CSLR)만 활성화되므로 다이렉트 센스 앰프(150, 250)만 데이터 입출력 라인 쌍(DIO, DIOB)에 영향을 주고, 트랜지스터들(TR4, TR5)에 의하여 비트라인 쌍과 연결된 데이터 통로는 데이터 입출력 라인 쌍(DIO, DIOB)과 분리되어 데이터 입출력 라인 쌍(DIO, DIOB)에 아무런 영향을 주지 못한다.
- <23> 따라서, 전원 전압의 레벨이 낮아지고 있는 최근의 반도체 메모리 장치의 경우 위와 같이 데이터 독출 동작을 위하여 다이렉트 센스 앰프만이 활성화된다면 데이터를 제대로 독출하기 어려운 문제가 있다.

【발명이 이루고자 하는 기술적 과제】

<24> 본 발명이 이루고자하는 기술적 과제는 데이터 독출 동작의 경우 다이렉트 센스 앰프에 의한 데이터 전달 통로와 데이터 기입을 위한 통로를 모두 활성화 시켜 낮은 전원 전압 레벨에서도 독출 동작이 성공적으로 수행될 수 있는 반도체 메모리 장치를 제공하는데 있다.

【발명의 구성 및 작용】

<25> 상기 기술적 과제를 달성하기 위한 본 발명의 제 1 실시예에 따른 반도체 메모리 장치는 다이렉트 센스 앰프 회로, 입출력 게이트 회로 및 동작 제어부를 구비하는 것을 특징으로 한다.

<26> 다이렉트 센스 앰프 회로는 독출 신호에 응답하여 제 1 및 제 2 비트라인을 구비하는 비트라인 쌍에 실려있는 독출 데이터를 제 1 및 제 2 데이터 입출력 라인을 구비하는 데이터 입출력 라인 쌍으로 전달한다.

<27> 입출력 게이트 회로는 독출 기입 신호에 응답하여 상기 비트라인 쌍에 실려있는 상기 독출 데이터를 상기 데이터 입출력 라인 쌍으로 전달하거나 상기 데이터 입출력 라인 쌍에 실려있는 기입 데이터를 상기 비트라인 쌍으로 전달한다.

<28> 동작 제어부는 컬럼 어드레스 신호 및 기입 명령에 응답하여, 독출 동작 시 상기 독출 신호 및 상기 독출 기입 신호를 발생하여 상기 다이렉트 센스 앰프 회로 및 상기 입출력 게이트 회로를 모두 턴 온 시키고, 기입 동작 시 상기 독출 신호 및 상기 독출 기입 신호를 발생하여 상기 입출력 게이트 회로는 턴 온 시키고 상기 다이렉트 센스 앰프 회로는 턴 오프 시킨다.

- <29> 상기 다이렉트 센스 앰프 회로는 상기 데이터 입출력 라인 쌍 중 제 1 데이터 입출력 라인에 제 1 단이 연결되고 상기 비트라인 쌍 중 제 2 비트라인에 게이트가 연결되는 제 1 센스 트랜지스터, 상기 데이터 입출력 라인 쌍 중 제 2 데이터 입출력 라인에 제 1 단이 연결되고 상기 비트라인 쌍 중 제 1 비트라인에 게이트가 연결되는 제 2 센스 트랜지스터, 상기 제 1 센스 트랜지스터 및 상기 제 2 센스 트랜지스터의 제 2 단에 제 1 단이 연결되고 접지 전압에 제 2 단이 연결되며 상기 독출 신호가 게이트에 연결되는 제 3 센스 트랜지스터를 구비하는 것을 특징으로 한다.
- <30> 상기 제 1 내지 제 3 센스 트랜지스터는 엔모스 트랜지스터인 것을 특징으로 한다.
- <31> 상기 입출력 게이트 회로는 상기 제 1 데이터 입출력 라인에 제 1 단이 연결되고 상기 제 1 비트라인에 제 2 단이 연결되며 게이트로 상기 독출 기입 신호가 인가되는 제 1 트랜지스터 및 상기 제 2 데이터 입출력 라인에 제 1 단이 연결되고 상기 제 2 비트라인에 제 2 단이 연결되며 게이트로 상기 독출 기입 신호가 인가되는 제 2 트랜지스터를 구비하는 것을 특징으로 한다.
- <32> 상기 제 1 및 제 2 트랜지스터는 엔모스 트랜지스터인 것을 특징으로 한다.
- <33> 상기 동작 제어부는 독출 동작 시 상기 독출 신호 및 상기 독출 기입 신호를 제 1 레벨로 발생하고, 기입 동작 시 상기 독출 신호는 제 2 레벨로 발생하고 상기 독출 기입 신호는 제 1 레벨로 발생하는 것을 특징으로 한다.
- <34> 상기 동작 제어부는 상기 컬럼 어드레스 신호가 제 1 레벨이고 상기 기입 명령이 제 2 레벨이면 상기 독출 신호 및 상기 독출 기입 신호를 모두 제 1 레벨로 발생하고,

상기 컬럼 어드레스 신호 및 상기 기입 명령이 모두 제 1 레벨이면 상기 독출 신호는 제 2 레벨로 발생되고 상기 독출 기입 신호는 제 1 레벨로 발생하는 것을 특징으로 한다.

<35> 상기 다이렉트 센스 앰프 회로는 접지 전압에 제 1단이 연결되고 게이트가 상기 비트라인 쌍 중 제 2 비트라인에 연결되는 제 1 센스 트랜지스터, 상기 접지 전압에 제 1단이 연결되고 게이트가 상기 비트라인 쌍 중 제 1 비트라인에 연결되는 제 2 센스 트랜지스터, 상기 제 1 센스 트랜지스터의 제 2 단에 제 1단이 연결되고 게이트에 상기 독출 신호가 연결되며 상기 데이터 입출력 라인 쌍 중 제 1 데이터 입출력 라인에 제 2단이 연결되는 제 3 센스 트랜지스터 및 상기 제 2 센스 트랜지스터의 제 2 단에 제 1단이 연결되고 게이트에 상기 독출 신호가 연결되며 상기 데이터 입출력 라인 쌍 중 제 2 데이터 입출력 라인에 제 2단이 연결되는 제 4 센스 트랜지스터를 구비하는 것을 특징으로 한다.

<36> 상기 제 1 내지 제 4 센스 트랜지스터는 엔모스 트랜지스터인 것을 특징으로 한다.

<37> 상기 기술적 과제를 달성하기 위한 본 발명의 제 2 실시예에 따른 반도체 메모리 장치는 다이렉트 센스 앰프 회로 및 입출력 게이트 회로를 구비하는 것을 특징으로 한다.

<38> 다이렉트 센스 앰프 회로는 독출 동작 시 기입 방지 신호 및 독출 기입 신호에 응답하여 턴 온 되어 제 1 및 제 2 비트라인을 구비하는 비트라인 쌍에 실려있는 독출 데이터를 제 1 및 제 2 데이터 입출력 라인을 구비하는 데이터 입출력 라인 쌍으로 전달하고, 기입 동작 시 기입 방지 신호에 응답하여 턴 오프 된다.

- <39> 입출력 게이트 회로는 상기 독출 기입 신호에 응답하여 독출 동작시 상기 비트라인 쌍에 실려있는 상기 독출 데이터를 상기 데이터 입출력 라인 쌍으로 전달하거나, 독출 기입 신호에 응답하여 기입 동작시 상기 데이터 입출력 라인 쌍에 실려있는 기입 데이터를 상기 비트라인 쌍으로 전달한다.
- <40> 상기 다이렉트 센스 앰프는 제 1 단이 상기 제 1 데이터 입출력 라인에 연결되고, 게이트에 상기 기입 방지 신호가 연결되는 제 1 블록 트랜지스터, 제 1 단이 상기 제 2 데이터 입출력 라인에 연결되고, 게이트에 상기 기입 방지 신호가 연결되는 제 2 블록 트랜지스터, 제 1 단이 상기 제 1 블록 트랜지스터의 제 2 단에 연결되고 제 2 비트라인에 게이트가 연결되는 제 1 센스 트랜지스터, 제 1 단이 상기 제 2 블록 트랜지스터의 제 2 단에 연결되고 제 1 비트라인에 게이트가 연결되는 제 2 센스 트랜지스터 및 상기 제 1 센스 트랜지스터 및 상기 제 2 센스 트랜지스터의 제 2 단에 제 1 단이 연결되고 접지 전압에 제 2 단이 연결되며 상기 독출 기입 신호가 게이트에 연결되는 제 3 센스 트랜지스터를 구비하는 것을 특징으로 한다.
- <41> 상기 제 1 및 제 2 블록 트랜지스터, 제 1 내지 제 3 센스 트랜지스터는 엔모스 트랜지스터인 것을 특징으로 한다.
- <42> 상기 입출력 게이트 회로는 상기 제 1 데이터 입출력 라인에 제 1 단이 연결되고 상기 제 1 비트라인에 제 2단이 연결되며 게이트로 상기 독출 기입 신호가 인가되는 제 1 트랜지스터 및 상기 제 2 데이터 입출력 라인에 제 1 단이 연결되고 상기 제 2 비트라인에 제 2단이 연결되며 게이트로 상기 독출 기입 신호가 인가되는 제 2 트랜지스터를 구비하는 것을 특징으로 한다.



- <43> 상기 제 1 및 제 2 트랜지스터는 엔모스 트랜지스터인 것을 특징으로 한다. 상기 독출 기입 신호는 컬럼 어드레스 신호인 것을 특징으로 한다. 상기 기입 방지 신호는 독출 동작 시에는 제 1 레벨로 발생되고 기입 동작 시에는 제 2 레벨로 발생하는 것을 특징으로 한다.
- <44> 상기 기입 방지 신호는 기입 명령과 어드레스 신호의 조합에 의해서 발생하는 것을 특징으로 한다.
- <45> 상기 기술적 과제를 달성하기 위한 본 발명의 제 3 실시예에 따른 반도체 메모리 장치는 다이렉트 센스 앰프 회로, 입출력 게이트 회로 및 기입 독출 제어부를 구비하는 것을 특징으로 한다.
- <46> 다이렉트 센스 앰프 회로는 독출 기입 신호에 응답하여 턴 온 되어 제 1 및 제 2 비트라인을 구비하는 비트라인 쌍에 실려있는 독출 데이터를 제 1 및 제 2 데이터 입출력 라인을 구비하는 데이터 입출력 라인 쌍으로 전달한다.
- <47> 입출력 게이트 회로는 상기 독출 기입 신호에 응답하여 독출 동작시 상기 비트라인 쌍에 실려있는 상기 독출 데이터를 상기 데이터 입출력 라인 쌍으로 전달하거나, 독출 기입 신호에 응답하여 기입 동작시 상기 데이터 입출력 라인 쌍에 실려있는 기입 데이터를 상기 비트라인 쌍으로 전달한다.
- <48> 기입 독출 제어부는 기입 방지 신호에 응답하여 독출 동작 시에는 상기 다이렉트 센스 앰프 회로로부터 발생하는 상기 독출 데이터를 상기 데이터 입출력 라인 쌍으로 전달하고, 기입 동작 시에는 상기 다이렉트 센스 앰프 회로와 상기 데이터 입출력 라인 쌍의 연결을 차단한다.

- <49> 상기 기입 독출 제어부는 제 1 단이 상기 제 1 데이터 입출력 라인에 연결되고, 게이트에 상기 기입 방지 신호가 연결되며 제 2 단이 상기 다이렉트 센스 앰프에 연결되는 제 1 블록 트랜지스터 및 제 1 단이 상기 제 2 데이터 입출력 라인에 연결되고, 게이트에 상기 기입 방지 신호가 연결되며 제 2 단이 상기 다이렉트 센스 앰프에 연결되는 제 2 블록 트랜지스터를 구비하는 것을 특징으로 한다.
- <50> 상기 다이렉트 센스 앰프 회로는 제 1 단이 상기 제 1 블록 트랜지스터의 제 2 단에 연결되고 제 2 비트라인에 게이트가 연결되는 제 1 센스 트랜지스터, 제 1 단이 상기 제 2 블록 트랜지스터의 제 2 단에 연결되고 제 1 비트라인에 게이트가 연결되는 제 2 센스 트랜지스터 및 상기 제 1 센스 트랜지스터 및 상기 제 2 센스 트랜지스터의 제 2 단에 제 1 단이 연결되고 접지 전압에 제 2 단이 연결되며 상기 독출 기입 신호가 게이트에 연결되는 제 3 센스 트랜지스터를 구비하는 것을 특징으로 한다.
- <51> 상기 제 1 및 제 2 블록 트랜지스터, 제 1 내지 제 3 센스 트랜지스터는 엔모스 트랜지스터인 것을 특징으로 한다.
- <52> 상기 입출력 게이트 회로는 상기 제 1 데이터 입출력 라인에 제 1 단이 연결되고 상기 제 1 비트라인에 제 2 단이 연결되며 게이트로 상기 독출 기입 신호가 인가되는 제 1 트랜지스터 및 상기 제 2 데이터 입출력 라인에 제 1 단이 연결되고 상기 제 2 비트라인에 제 2 단이 연결되며 게이트로 상기 독출 기입 신호가 인가되는 제 2 트랜지스터를 구비하는 것을 특징으로 한다.
- <53> 상기 제 1 및 제 2 트랜지스터는 엔모스 트랜지스터인 것을 특징으로 한다.

- <54> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.
- <55> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <56> 도 3은 본 발명의 실시예에 따른 반도체 메모리 장치를 설명하는 회로도이다.
- <57> 도 3을 참조하면, 본 발명의 제 1 실시예에 따른 반도체 메모리 장치(300)는 다이렉트 센스 앰프 회로(310), 입출력 게이트 회로(320) 및 동작 제어부(330)를 구비한다. 다이렉트 센스 앰프 회로(310)는 독출 신호(RS)에 응답하여 제 1 및 제 2 비트라인(BL, BLB)을 구비하는 비트라인 쌍(BL, BLB)에 실려있는 독출 데이터를 제 1 및 제 2 데이터 입출력 라인(DIO, DIOB)을 구비하는 데이터 입출력 라인 쌍(DIO, DIOB)으로 전달한다.
- <58> 좀 더 설명하면, 다이렉트 센스 앰프 회로(310)는 제 1 내지 제 3 센스 트랜지스터(STR1, STR2, STR3)를 구비한다. 제 1 센스 트랜지스터(STR1)는 데이터 입출력 라인 쌍 중 제 1 데이터 입출력 라인(DIO)에 제 1 단이 연결되고 비트라인 쌍 중 제 2 비트라인(BLB)에 게이트가 연결된다.
- <59> 제 2 센스 트랜지스터(STR2)는 데이터 입출력 라인 쌍 중 제 2 데이터 입출력 라인(DIOB)에 제 1 단이 연결되고 비트라인 쌍 중 제 1 비트라인(BL)에 게이트가 연결된다.
- <60> 제 3 센스 트랜지스터(STR3)는 제 1 센스 트랜지스터(STR1) 및 제 2 센스 트랜지스터(STR2)의 제 2 단에 제 1 단이 연결되고 접지 전압(VSS)에 제 2 단이 연결되며 독출

신호(RS)가 게이트에 연결된다. 제 1 내지 제 3 센스 트랜지스터(STR1, STR2, STR3)는 엔모스 트랜지스터이다.

<61> 입출력 게이트 회로(320)는 독출 기입 신호(RWS)에 응답하여 비트라인 쌍(BL, BLB)에 실려있는 상기 독출 데이터를 데이터 입출력 라인 쌍(DIO, DIOB)으로 전달하거나 데이터 입출력 라인 쌍(DIO, DIOB)에 실려있는 기입 데이터를 비트라인 쌍(BL, BLB)으로 전달한다.

<62> 좀 더 설명하면, 입출력 게이트 회로(320)는 제 1 및 제 2 트랜지스터(GTE1, GTR2)를 구비한다. 제 1 트랜지스터(GTR1)는 제 1 데이터 입출력 라인(DIO)에 제 1 단이 연결되고 제 1 비트라인(BL)에 제 2단이 연결되며 게이트로 독출 기입 신호(RWS)가 인가된다.

<63> 제 2 트랜지스터(GTR2)는 제 2 데이터 입출력 라인(DIOB)에 제 1 단이 연결되고 제 2 비트라인(BLB)에 제 2단이 연결되며 게이트로 독출 기입 신호(RWS)가 인가된다. 제 1 및 제 2 트랜지스터(GTR1, GTR2)는 엔모스 트랜지스터이다.

<64> 동작 제어부(330)는 컬럼 어드레스 신호(CAS) 및 기입 명령(WR)에 응답하여, 독출 동작 시 독출 신호(RS) 및 독출 기입 신호(RWS)를 발생하여 다이렉트 센스 앰프 회로(310) 및 입출력 게이트 회로(320)를 모두 턴 온 시킨다. 또한 기입 동작 시 동작 제어부(330)는 독출 신호(RS) 및 독출 기입 신호(RWS)를 발생하여 입출력 게이트 회로(320)는 턴 온 시키고 다이렉트 센스 앰프 회로(310)는 턴 오프 시킨다.

<65> 이하, 도 3을 참조하여 본 발명의 실시예에 따른 반도체 메모리 장치의 동작이 상세히 설명된다.

- <66> 동작 제어부(330)는 독출 동작 시 독출 신호(RS) 및 독출 기입 신호(RWS)를 제 1 레벨로 발생하고, 기입 동작 시 독출 신호(RS)는 제 2 레벨로 발생하고 독출 기입 신호(RWS)는 제 1 레벨로 발생한다.
- <67> 여기서는 편의를 위하여 제 1 레벨을 하이 레벨로 하고 제 2 레벨을 로우 레벨로 설명한다. 그러나 본 기술 분야에서 통상의 지식을 가진 자에게는 제 1 레벨과 제 2 레벨이 상기와 반대의 경우가 될 수 있음은 자명할 것이다.
- <68> 도 3에서 동작 제어부(330)는 인버터들(335, 340, 350, 355)과 반전 논리곱 수단(345)으로 구성되지만 동작 제어부(330)의 구성은 도 3에 개시된 것에 한정되는 것은 아니며, 동작 제어부(330)는 동일한 기능을 수행하는 한 다양한 회로로 구성될 수 있음은 당업자에게는 자명하다.
- <69> 구독출 동작 시 상기 독출 신호 및 상기 독출 기입 신호를 제 1 레벨로 발생하기 위해서는 컬럼 어드레스 신호(CAS)가 제 1 레벨로 발생되고 기입 명령(WR)이 제 2 레벨로 발생되어야 한다.
- <70> 즉, 독출 동작의 경우 컬럼 어드레스 신호(CAS)는 하이 레벨로 발생되고 기입 명령(WR)은 로우 레벨로 발생된다. 그러면 독출 신호(RS) 및 독출 기입 신호(RWS)는 하이 레벨로 발생되어 입출력 게이트 회로(320)의 제 1 및 제 2 트랜지스터(GTR1, GTR2)가 턴 온 되고 다이렉트 센스 앰프 회로(310)의 제 3 센스 트랜지스터(STR3)가 턴 온 된다.
- <71> 제 1 비트라인(BL)에 하이 레벨의 독출 데이터가 있고 제 2 비트라인(BLB)에 로우 레벨의 독출 데이터가 있다고 가정한다. 그러면 다이렉트 센스 앰프 회로(310)의 제 2



센스 트랜지스터(STR2)는 제 1 센스 트랜지스터(STR1)보다 더 많이 턴 온 되어 로우 레벨의 독출 데이터를 제 2 데이터 입출력 라인(DIOB)으로 전달할 것이다.

<72> 제 2 센스 트랜지스터(STR2)는 제 1 센스 트랜지스터(STR1)보다 덜 턴 온 되어 하이 레벨의 독출 데이터를 제 1 데이터 입출력 라인(DIO)으로 전달한다.

<73> 이와 더불어, 제 1 비트라인(BL)의 하이 레벨의 독출 데이터는 제 1 트랜지스터(GTR1)를 통하여 제 1 데이터 입출력 라인(DIO)으로 전송된다. 그리고 제 2 비트라인(BLB)의 로우 레벨의 독출 데이터는 제 2 트랜지스터(GTR2)를 통하여 제 2 데이터 입출력 라인(DIOB)으로 전송된다.

<74> 독출 동작의 경우, 독출 신호(RS)와 독출 기입 신호(RWS)에 응답하여 다이렉트 센스 앰프 회로(310)와 입출력 게이트 회로(320)가 모두 턴 온 되므로, 반도체 메모리 장치(300)의 전원 전압의 레벨이 낮아지더라도 데이터 입출력 라인 쌍(DIO, DIOB)으로 인가되는 독출 데이터의 레벨은 오동작 없이 정확히 측정될 수 있다.

<75> 반대로, 기입 동작의 경우, 독출 신호(RS)는 제 2 레벨로 발생하고 독출 기입 신호(RWS)는 제 1 레벨로 발생한다. 그러기 위해서는 컬럼 어드레스 신호(CAS) 및 기입 명령(WR)이 모두 제 1 레벨로 발생되어야 한다.

<76> 독출 신호(RS)가 로우 레벨로 발생되면 다이렉트 센스 앰프 회로(310)는 턴 오프 된다. 독출 기입 신호(RWS)는 하이 레벨로 발생되어 입출력 게이트 회로(320)의 제 1 및 제 2 트랜지스터들(GTR1, GTR2)은 턴 온 된다.

<77> 따라서, 외부에서 데이터 입출력 라인 쌍(DIO, DIOB)으로 입력되는 입력 데이터는 제 1 및 제 2 트랜지스터들(GTR1, GR2)을 통하여 비트라인 쌍(BL, BLB)으로 기입된다.

- <78> 다이렉트 센스 앰프 회로(310)의 제 3 센스 트랜지스터(STR3)는 제 1 및 제 2 센스 트랜지스터(STR1, STR2)와 접지 전압(VSS) 사이에 여러 개 장착될 수 있다. 제 3 센스 트랜지스터(STR3)가 여러 개일수록 다이렉트 센스 앰프 회로(310)의 구동 능력이 향상된다.
- <79> 도 3의 반도체 메모리 장치(300)는 독출 동작의 경우에는 다이렉트 센스 앰프 회로(310)와 입출력 게이트 회로(320)가 모두 턴 온 되고 기입 동작의 경우에는 다이렉트 센스 앰프 회로(310)는 턴 오프 되고 입출력 게이트 회로(320)는 턴 온 된다.
- <80> 도 4는 도 3의 다이렉트 센스 앰프 회로가 변형된 회로를 나타낸 회로도이다.
- <81> 도 4를 참조하면, 다이렉트 센스 앰프 회로(410)는 제 1 내지 제 4 센스 트랜지스터(STR1, STR2, STR3, STR4)를 구비한다. 제 1 센스 트랜지스터(STR1)는 접지 전압(VSS)에 제 1단이 연결되고 게이트가 비트라인 쌍 중 제 2 비트라인(BLB)에 연결된다.
- <82> 제 2 센스 트랜지스터(STR2)는 접지 전압(VSS)에 제 1단이 연결되고 게이트가 비트라인 쌍 중 제 1 비트라인(BL)에 연결된다. 제 3 센스 트랜지스터(STR3)는 제 1 센스 트랜지스터(STR1)의 제 2 단에 제 1단이 연결되고 게이트에 독출 신호(RS)가 연결되며 데이터 입출력 라인 쌍 중 제 1 데이터 입출력 라인(DIO)에 제 2 단이 연결된다.
- <83> 제 4 센스 트랜지스터(STR4)는 제 2 센스 트랜지스터(STR2)의 제 2 단에 제 1 단이 연결되고 게이트에 독출 신호(RS)가 연결되며 데이터 입출력 라인 쌍 중 제 2 데이터 입출력 라인(DIOB)에 제 2 단이 연결된다. 제 1 내지 제 4 센스 트랜지스터(STR1, STR2, STR3, STR4)는 엔모스 트랜지스터이다.

- <84> 도 3의 다이렉트 센스 앰프 회로(310)와 비교할 경우, 도 4의 다이렉트 센스 앰프 회로(410)는 독출 신호(RS)가 게이트로 입력되는 센스 트랜지스터들(STR3, STR4)과 비트 라인 쌍(BL, BLB)이 게이트로 입력되는 센스 트랜지스터들(STR1, STR2)의 위치가 바뀌어 있다.
- <85> 상기와 같은 구조의 다이렉트 센스 앰프 회로(410)를 이용하면 기입 동작의 경우 데이터 입출력 라인 쌍(DIO, DIOB)을 비트라인 쌍(BL, BLB)과 전기적으로 완전히 차단시켜 오동작을 방지할 수 있다.
- <86> 도 5는 본 발명의 다른 실시예에 따른 반도체 메모리 장치를 설명하는 회로도이다.
- <87> 도 5를 참조하면, 본 발명의 다른 실시예에 따른 반도체 메모리 장치(500)는 다이렉트 센스 앰프 회로(510) 및 입출력 게이트 회로(520)를 구비한다.
- <88> 다이렉트 센스 앰프 회로(510)는 독출 동작 시 기입 방지 신호(WBS) 및 독출 기입 신호(RWS)에 응답하여 턴 온 되어 제 1 및 제 2 비트라인(BL, BLB)을 구비하는 비트라인 쌍에 실려있는 독출 데이터를 제 1 및 제 2 데이터 입출력 라인(DIO, DIOB)을 구비하는 데이터 입출력 라인 쌍으로 전달하고, 기입 동작 시 기입 방지 신호(WBS)에 응답하여 턴 오프 된다.
- <89> 좀 더 설명하면, 다이렉트 센스 앰프 회로(510)는 제 1 및 제 2 블록 트랜지스터(BTR1, BTR2)와 제 1 내지 제 3 센스 트랜지스터(STR1, STR2, STR3)를 구비한다.
- <90> 제 1 블록 트랜지스터(BTR1)는 제 1 단이 제 1 데이터 입출력 라인(DIO)에 연결되고, 게이트에 기입 방지 신호(WBS)가 연결된다. 제 2 블록 트랜지스터(BTR2)는 제 1 단

이 제 2 데이터 입출력 라인(DIOB)에 연결되고, 게이트에 기입 방지 신호(WBS)가 연결된다.

<91> 제 1 센스 트랜지스터(STR1)는 제 1단이 제 1 블록 트랜지스터(BTR1)의 제 2단에 연결되고 제 2 비트라인(BLB)에 게이트가 연결된다. 제 2 센스 트랜지스터(STR2)는 제 1단이 제 2 블록 트랜지스터(BTR2)의 제 2단에 연결되고 제 1 비트라인(BL)에 게이트가 연결된다.

<92> 제 3 센스 트랜지스터(STR3)는 제 1 센스 트랜지스터(STR1) 및 제 2 센스 트랜지스터(STR2)의 제 2단에 제 1단이 연결되고 접지 전압(VSS)에 제 2단이 연결되며 독출 기입 신호(RWS)가 게이트에 연결된다. 제 1 및 제 2 블록 트랜지스터(BTR1, BTR2), 제 1 내지 제 3 센스 트랜지스터(STR1, STR2, STR3)는 엔모스 트랜지스터이다.

<93> 독출 기입 신호(RWS)는 컬럼 어드레스 신호이다. 기입 방지 신호(WBS)는 독출 동작 시에는 제 1 레벨로 발생되고 기입 동작 시에는 제 2 레벨로 발생된다. 기입 방지 신호(WBS)는 기입 명령(미도시)과 어드레스 신호(미도시)의 조합에 의해서 발생된다.

<94> 입출력 게이트 회로(520)는 독출 기입 신호(RWS)에 응답하여 독출 동작시 비트라인 쌍(BL, BLB)에 실려있는 상기 독출 데이터를 데이터 입출력 라인 쌍(DIO, DIOB)으로 전달하거나, 독출 기입 신호(RWS)에 응답하여 기입 동작시 데이터 입출력 라인 쌍(DIO, DIOB)에 실려있는 기입 데이터를 비트라인 쌍(BL, BLB)으로 전달한다.

<95> 입출력 게이트 회로(520)는 제 1 트랜지스터(GTR1) 및 제 2 트랜지스터(GTR1)를 구비한다. 제 1 트랜지스터(GTR1)는 제 1 데이터 입출력 라인(DIO)에 제 1단이 연결되고 제 1 비트라인(BL)에 제 2단이 연결되며 게이트로 독출 기입 신호(RWS)가 인가된다.

- <96> 제 2 트랜지스터(GTR1)는 제 2 데이터 입출력 라인(DIOB)에 제 1 단이 연결되고 제 2 비트라인(BLB)에 제 2단이 연결되며 게이트로 독출 기입 신호(RWS)가 인가된다. 제 1 및 제 2 트랜지스터(GTR1, GTR2)는 엔모스 트랜지스터이다.
- <97> 이하 도 5를 참조하여 본 발명의 다른 실시예에 따른 반도체 메모리 장치의 동작이 상세히 설명된다.
- <98> 도 5의 반도체 메모리 장치(500)는 도 3 및 도 4의 반도체 메모리 장치(300, 400)와 다르게 독출 기입 신호(RWS)와 독출 신호(RS)가 별도로 존재하지 않고 독출 기입 신호(RWS)만이 존재한다.
- <99> 따라서 독출 동작이나 기입 동작이나에 관계없이 독출 기입 신호(RWS) 즉, 컬럼 어드레스 신호(CAS)가 제 1 레벨로 입력되면 다이렉트 센스 앰프 회로(510)와 입출력 게이트 회로(520)는 턴 온 된다. 여기서 제 1 레벨은 하이 레벨이다.
- <100> 즉, 독출 동작의 경우에는 독출 기입 신호(RWS)가 하이 레벨로 다이렉트 센스 앰프 회로(510)와 입출력 게이트 회로(520)로 인가되고 기입 방지 신호(WBS)도 하이 레벨로 제 1 및 제 2 블록 트랜지스터들(BTR1, BTR2)로 인가되면, 다이렉트 센스 앰프 회로(510)와 입출력 게이트 회로(520)가 독출 데이터를 동시에 데이터 입출력 라인 쌍(DIO, DIOB)으로 전달한다.
- <101> 독출 데이터를 데이터 입출력 라인 쌍(DIO, DIOB)으로 전달하는 동작은 이미 설명 되었으므로 상세한 설명을 생략한다.
- <102> 기입 동작의 경우, 기입 방지 신호(WBS)는 로우 레벨로 다이렉트 센스 앰프 회로(510)의 제 1 및 제 2 블록 트랜지스터들(BTR1, BTR2)로 입력되어 제 1 및 제 2 블록 트

랜지스터들(BTR1, BTR2)를 턴 오프 시킨다. 기입 방지 신호(WBS)는 기입 데이터가 기입 될 메모리 셀을 지정하기 위한 어드레스 신호(미도시)와 기입 동작을 지시하는 기입 명령(미도시)에 의해서 발생된다.

<103> 독출 기입 신호(RWS)는 기입 동작의 경우에도 하이 레벨로 다이렉트 센스 앰프 회로(510)와 입출력 게이트 회로(520)로 인가된다. 따라서 다이렉트 센스 앰프 회로(510)와 입출력 게이트 회로(520)가 모두 턴 온 되지만 기입 방지 신호(WBS)에 응답하여 턴 오프 된 제 1 및 제 2 블록 트랜지스터들(BTR1, BTR2)에 의하여 다이렉트 센스 앰프 회로(510)는 데이터 입출력 라인 쌍(DIO, DIOB)과의 연결이 차단된다.

<104> 그러므로, 기입 동작의 경우, 데이터 입출력 라인 쌍(DIO, DIOB)으로 입력된 기입 데이터는 입출력 게이트 회로(520)의 제 1 및 제 2 트랜지스터(GTR1, GTR2)만을 통하여 비트라인 쌍(BL, BLB)으로 전달된다.

<105> 도 6은 도 5의 반도체 메모리 장치가 사용될 경우 데이터의 이동 경로를 설명하는 도면이다.

<106> 일반적으로, 데이터 입출력 라인은 로컬 데이터 입출력 라인과 글로벌 입출력 라인으로 구별할 수 있다. 메모리 셀로부터 독출된 데이터는 로컬 데이터 입출력 라인과 글로벌 데이터 입출력 라인을 통하여 외부로 출력된다.

<107> 도 6에서 GIO는 글로벌 데이터 입출력 라인을 의미하고, WRIO 및 RIO는 로컬 데이터 입출력 라인을 의미한다. 도 5의 반도체 메모리 장치(500)는 도 6에서 참조 번호 610으로 표시되어 있다.

- <108> WRIO는 도 5의 입출력 게이트 회로(520)에 연결되어 독출 동작과 기입 동작시 데이터가 이동되는 라인이고, RIO는 도 5의 다이렉트 센스 앰프 회로(510)에 연결되어 독출 동작시 데이터가 이동되는 라인이다.
- <109> 그리고, RIO와 WRIO 사이에는 트랜지스터(BTR)가 연결되어있어 기입 방지 신호(WBS)에 논리 레벨에 따라 서로 연결되거나 차단된다.
- <110> 독출 동작의 경우에는, 기입 방지 신호(WBS)가 하이 레벨로 트랜지스터(BTR)로 인가되어 트랜지스터(BTR)가 턴 온 된다. 도 5의 다이렉트 센스 앰프 회로(510)에서 독출되는 독출 데이터는 제 1 라인(LINE1)과 RIO, 트랜지스터(BTR) 및 WRIO를 순차적으로 경유하여 스위치(SW)를 통하여 GIO로 인가된다.
- <111> 도 5의 입출력 게이트 회로(520)에서 독출 되는 독출 데이터는 제 2 라인(LINE2), WRIO 및 스위치(SW)를 통하여 GIO로 연결된다.
- <112> 기입 동작의 경우에는 기입 방지 신호(WBS)가 로우 레벨로 트랜지스터(BTR)로 인가되어 트랜지스터(BTR)가 턴 오프 된다. GIO를 통하여 인가된 입력 데이터는 스위치(SW), 제 2 라인(LINE2)을 통하여 도 5의 입출력 게이트 회로(520)로 인가된다. 트랜지스터(BTR)가 턴 오프 되어 있으므로 다이렉트 센스 앰프 회로(510)로는 입력 데이터가 인가되지 못한다.
- <113> 본 발명의 또 다른 실시예에 따른 반도체 메모리 장치에 대하여 도 5를 참조하여 설명한다.
- <114> 본 발명의 또 다른 실시예에 따른 반도체 메모리 장치는 다이렉트 센스 앰프 회로(550), 입출력 게이트 회로(520) 및 기입 독출 제어부(540)를 구비한다.

- <115> 기입 독출 제어부(540)는 기입 방지 신호(WBS)에 응답하여 독출 동작 시에는 다이렉트 센스 앰프 회로(550)로부터 발생하는 독출 데이터를 데이터 입출력 라인 쌍(DIO, DIOB)으로 전달하고, 기입 동작 시에는 다이렉트 센스 앰프 회로(550)와 데이터 입출력 라인 쌍(DIO, DIOB)의 연결을 차단한다.
- <116> 좀 더 설명하면, 기입 독출 제어부(540)는 제 1 및 제 2 블록 트랜지스터(BTR1, BTR2)를 구비한다. 제 1 블록 트랜지스터(BTR1)는 제 1 단이 제 1 데이터 입출력 라인(DIO)에 연결되고, 게이트에 기입 방지 신호(WBS)가 연결되며 제 2 단이 다이렉트 센스 앰프 회로(550)에 연결된다.
- <117> 제 2 블록 트랜지스터(BTR2)는 제 1 단이 제 2 데이터 입출력 라인(DIOB)에 연결되고, 게이트에 기입 방지 신호(WBS)가 연결되며 제 2 단이 다이렉트 센스 앰프 회로(550)에 연결된다.
- <118> 다이렉트 센스 앰프 회로(550)는 독출 기입 신호(RWS)에 응답하여 턴 온 되어 제 1 및 제 2 비트라인(BL, BLB)을 구비하는 비트라인 쌍에 실려있는 독출 데이터를 제 1 및 제 2 데이터 입출력 라인(DIO, DIOB)을 구비하는 데이터 입출력 라인 쌍으로 전달한다.
- <119> 좀 더 설명하면, 다이렉트 센스 앰프 회로(550)는 제 1 내지 제 3 센스 트랜지스터(STR1, STR2, STR3)를 구비한다. 제 1 센스 트랜지스터(STR1)는 제 1 단이 제 1 블록 트랜지스터(BTR1)의 제 2 단에 연결되고 제 2 비트라인(BLB)에 게이트가 연결된다.
- <120> 제 2 센스 트랜지스터(STR2)는 제 1 단이 제 2 블록 트랜지스터(BTR2)의 제 2 단에 연결되고 제 1 비트라인(BL)에 게이트가 연결된다. 제 3 센스 트랜지스터(STR3)는 제 1

센스 트랜지스터(STR1) 및 제 2 센스 트랜지스터(STR2)의 제 2 단에 제 1 단이 연결되고 접지 전압(VSS)에 제 2 단이 연결되며 독출 기입 신호(RWS)가 게이트에 연결된다.

<121> 제 1 및 제 2 블록 트랜지스터(BTR1, BTR2), 제 1 내지 제 3 센스 트랜지스터(STR1, STR2, STR3)는 엔모스 트랜지스터이다.

<122> 입출력 게이트 회로(520)는 독출 기입 신호(RWS)에 응답하여 독출 동작시 비트라인 쌍(BL, BLB)에 실려있는 독출 데이터를 데이터 입출력 라인 쌍(DIO, DIOB)으로 전달하거나, 독출 기입 신호(RWS)에 응답하여 기입 동작시 데이터 입출력 라인 쌍(DIO, DIOB)에 실려있는 기입 데이터를 비트라인 쌍(BL, BLB)으로 전달한다.

<123> 입출력 게이트 회로(520)는 제 1 트랜지스터(GTR1) 및 제 2 트랜지스터(GTR2)를 구비한다. 제 1 트랜지스터(GTR1)는 제 1 데이터 입출력 라인(DIO)에 제 1 단이 연결되고 제 1 비트라인(BL)에 제 2단이 연결되며 게이트로 독출 기입 신호(RWS)가 인가된다.

<124> 제 2 트랜지스터(GTR2)는 제 2 데이터 입출력 라인(DIOB)에 제 1 단이 연결되고 제 2 비트라인(BLB)에 제 2단이 연결되며 게이트로 독출 기입 신호(RWS)가 인가된다. 제 1 및 제 2 트랜지스터(GTR1, GTR2)는 엔모스 트랜지스터이다.

<125> 본 발명의 또 다른 실시예에 따른 반도체 메모리 장치는 기입 독출 제어부(540)를 구비하는 점을 제외하고는 이전의 실시예와 동일한 구성을 가진다. 기입 독출 제어부(540)는 기입 방지 신호(WBS)에 응답하여 제어되는 제 1 및 제 2 블록 트랜지스터(BTR1, BTR2)를 구비하는데, 제 1 및 제 2 블록 트랜지스터(BTR1, BTR2)의 동작은 이미 설명된 바 있다. 따라서 상세한 설명은 생략한다.

<126> 이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<127> 상술한 바와 같이 본 발명에 따른 반도체 메모리 장치는 데이터 독출 동작의 경우 다이렉트 센스 앰프에 의한 데이터 전달 통로와 데이터 기입을 위한 통로를 모두 활성화시켜 낮은 전원 전압 레벨에서도 독출 동작이 성공적으로 수행될 수 있는 장점이 있다.

【특허청구범위】

【청구항 1】

독출 신호에 응답하여 제 1 및 제 2 비트라인을 구비하는 비트라인 쌍에 실려있는 독출 데이터를 제 1 및 제 2 데이터 입출력 라인을 구비하는 데이터 입출력 라인 쌍으로 전달하는 다이렉트 센스 앰프 회로 ;

독출 기입 신호에 응답하여 상기 비트라인 쌍에 실려있는 상기 독출 데이터를 상기 데이터 입출력 라인 쌍으로 전달하거나 상기 데이터 입출력 라인 쌍에 실려있는 기입 데이터를 상기 비트라인 쌍으로 전달하는 입출력 게이트 회로 ; 및

컬럼 어드레스 신호 및 기입 명령에 응답하여, 독출 동작 시 상기 독출 신호 및 상기 독출 기입 신호를 발생하여 상기 다이렉트 센스 앰프 회로 및 상기 입출력 게이트 회로를 모두 턴 온 시키고, 기입 동작 시 상기 독출 신호 및 상기 독출 기입 신호를 발생하여 상기 입출력 게이트 회로는 턴 온 시키고 상기 다이렉트 센스 앰프 회로는 턴 오프 시키는 동작 제어부를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 2】

제 1항에 있어서, 상기 다이렉트 센스 앰프 회로는,

상기 데이터 입출력 라인 쌍 중 제 1 데이터 입출력 라인에 제 1 단이 연결되고 상기 비트라인 쌍 중 제 2 비트라인에 게이트가 연결되는 제 1 센스 트랜지스터 ;

상기 데이터 입출력 라인 쌍 중 제 2 데이터 입출력 라인에 제 1 단이 연결되고 상기 비트라인 쌍 중 제 1 비트라인에 게이트가 연결되는 제 2 센스 트랜지스터 ;



상기 제 1 센스 트랜지스터 및 상기 제 2 센스 트랜지스터의 제 2 단에 제 1 단이 연결되고 접지 전압에 제 2 단이 연결되며 상기 독출 신호가 게이트에 연결되는 제 3 센스 트랜지스터를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 3】

제 2항에 있어서, 상기 제 1 내지 제 3 센스 트랜지스터는,
엔모스 트랜지스터인 것을 특징으로 하는 반도체 메모리 장치.

【청구항 4】

제 1항에 있어서, 상기 입출력 게이트 회로는,
상기 제 1 데이터 입출력 라인에 제 1 단이 연결되고 상기 제 1 비트라인에 제 2 단이 연결되며 게이트로 상기 독출 기입 신호가 인가되는 제 1 트랜지스터 ; 및
상기 제 2 데이터 입출력 라인에 제 1 단이 연결되고 상기 제 2 비트라인에 제 2 단이 연결되며 게이트로 상기 독출 기입 신호가 인가되는 제 2 트랜지스터를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 5】

제 4항에 있어서, 상기 제 1 및 제 2 트랜지스터는,
엔모스 트랜지스터인 것을 특징으로 하는 반도체 메모리 장치.

【청구항 6】

제 1항에 있어서, 상기 동작 제어부는,



독출 동작 시 상기 독출 신호 및 상기 독출 기입 신호를 제 1 레벨로 발생하고, 기입 동작 시 상기 독출 신호는 제 2 레벨로 발생하고 상기 독출 기입 신호는 제 1 레벨로 발생하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 7】

제 1항에 있어서, 상기 동작 제어부는,

상기 컬럼 어드레스 신호가 제 1 레벨이고 상기 기입 명령이 제 2 레벨이면 상기 독출 신호 및 상기 독출 기입 신호를 모두 제 1 레벨로 발생하고, 상기 컬럼 어드레스 신호 및 상기 기입 명령이 모두 제 1 레벨이면 상기 독출 신호는 제 2 레벨로 발생되고 상기 독출 기입 신호는 제 1 레벨로 발생하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 8】

제 1항에 있어서, 상기 다이렉트 센스 앰프 회로는,

접지 전압에 제 1단이 연결되고 게이트가 상기 비트라인 쌍 중 제 2 비트라인에 연결되는 제 1 센스 트랜지스터 ;

상기 접지 전압에 제 1단이 연결되고 게이트가 상기 비트라인 쌍 중 제 1 비트라인에 연결되는 제 2 센스 트랜지스터 ;

상기 제 1 센스 트랜지스터의 제 2 단에 제 1단이 연결되고 게이트에 상기 독출 신호가 연결되며 상기 데이터 입출력 라인 쌍 중 제 1 데이터 입출력 라인에 제 2 단이 연결되는 제 3 센스 트랜지스터 ; 및

상기 제 2 센스 트랜지스터의 제 2 단에 제 1단이 연결되고 게이트에 상기 독출 신호가 연결되며 상기 데이터 입출력 라인 쌍 중 제 2 데이터 입출력 라인에 제 2 단이 연결되는 제 4 센스 트랜지스터를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 9】

제 8항에 있어서, 상기 제 1 내지 제 4 센스 트랜지스터는,
엔모스 트랜지스터인 것을 특징으로 하는 반도체 메모리 장치.

【청구항 10】

독출 동작 시 기입 방지 신호 및 독출 기입 신호에 응답하여 턴 온 되어 제 1 및 제 2 비트라인을 구비하는 비트라인 쌍에 실려있는 독출 데이터를 제 1 및 제 2 데이터 입출력 라인을 구비하는 데이터 입출력 라인 쌍으로 전달하고, 기입 동작 시 기입 방지 신호에 응답하여 턴 오프 되는 다이렉트 센스 앰프 회로 ; 및

상기 독출 기입 신호에 응답하여 독출 동작시 상기 비트라인 쌍에 실려있는 상기 독출 데이터를 상기 데이터 입출력 라인 쌍으로 전달하거나, 독출 기입 신호에 응답하여 기입 동작시 상기 데이터 입출력 라인 쌍에 실려있는 기입 데이터를 상기 비트라인 쌍으로 전달하는 입출력 게이트 회로를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 11】

제 10항에 있어서, 상기 다이렉트 센스 앰프 회로는,

제 1 단이 상기 제 1 데이터 입출력 라인에 연결되고, 게이트에 상기 기입 방지 신호가 연결되는 제 1 블록 트랜지스터 ;

제 1 단이 상기 제 2 데이터 입출력 라인에 연결되고, 게이트에 상기 기입 방지 신호가 연결되는 제 2 블록 트랜지스터 ;

제 1 단이 상기 제 1 블록 트랜지스터의 제 2 단에 연결되고 제 2 비트라인에 게이트가 연결되는 제 1 센스 트랜지스터 ;

제 1 단이 상기 제 2 블록 트랜지스터의 제 2 단에 연결되고 제 1 비트라인에 게이트가 연결되는 제 2 센스 트랜지스터 ; 및

상기 제 1 센스 트랜지스터 및 상기 제 2 센스 트랜지스터의 제 2 단에 제 1 단이 연결되고 접지 전압에 제 2 단이 연결되며 상기 독출 기입 신호가 게이트에 연결되는 제 3 센스 트랜지스터를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 12】

제 11항에 있어서, 상기 제 1 및 제 2 블록 트랜지스터, 제 1 내지 제 3 센스 트랜지스터는,

엔모스 트랜지스터인 것을 특징으로 하는 반도체 메모리 장치.

【청구항 13】

제 10항에 있어서, 상기 입출력 게이트 회로는,

상기 제 1 데이터 입출력 라인에 제 1 단이 연결되고 상기 제 1 비트라인에 제 2 단이 연결되며 게이트로 상기 독출 기입 신호가 인가되는 제 1 트랜지스터 ; 및

상기 제 2 데이터 입출력 라인에 제 1 단이 연결되고 상기 제 2 비트라인에 제 2 단이 연결되며 게이트로 상기 독출 기입 신호가 인가되는 제 2 트랜지스터를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 14】

제 13항에 있어서, 상기 제 1 및 제 2 트랜지스터는,
엔모스 트랜지스터인 것을 특징으로 하는 반도체 메모리 장치.

【청구항 15】

제 10항에 있어서, 상기 독출 기입 신호는,
컬럼 어드레스 신호인 것을 특징으로 하는 반도체 메모리 장치.

【청구항 16】

제 10항에 있어서, 상기 기입 방지 신호는,
독출 동작 시에는 제 1 레벨로 발생되고 기입 동작 시에는 제 2 레벨로 발생하는
것을 특징으로 하는 반도체 메모리 장치.

【청구항 17】

제 10항에 있어서, 상기 기입 방지 신호는,
기입 명령과 어드레스 신호의 조합에 의해서 발생하는 것을 특징으로 하는 반도체
메모리 장치.

【청구항 18】

독출 기입 신호에 응답하여 턴 온 되어 제 1 및 제 2 비트라인을 구비하는 비트라인
쌍에 실려있는 독출 데이터를 제 1 및 제 2 데이터 입출력 라인을 구비하는 데이터
입출력 라인 쌍으로 전달하는 다이렉트 센스 앰프 회로 ; 및

상기 독출 기입 신호에 응답하여 독출 동작시 상기 비트라인 쌍에 실려있는 상기 독출 데이터를 상기 데이터 입출력 라인 쌍으로 전달하거나, 독출 기입 신호에 응답하여 기입 동작시 상기 데이터 입출력 라인 쌍에 실려있는 기입 데이터를 상기 비트라인 쌍으로 전달하는 입출력 게이트 회로 ; 및

기입 방지 신호에 응답하여 독출 동작 시에는 상기 다이렉트 센스 앰프 회로로부터 발생하는 상기 독출 데이터를 상기 데이터 입출력 라인 쌍으로 전달하고, 기입 동작 시에는 상기 다이렉트 센스 앰프 회로와 상기 데이터 입출력 라인 쌍의 연결을 차단하는 기입 독출 제어부를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 19】

제 18항에 있어서, 상기 기입 독출 제어부는,

제 1 단이 상기 제 1 데이터 입출력 라인에 연결되고, 게이트에 상기 기입 방지 신호가 연결되며 제 2 단이 상기 다이렉트 센스 앰프 회로에 연결되는 제 1 블록 트랜지스터 ; 및

제 1 단이 상기 제 2 데이터 입출력 라인에 연결되고, 게이트에 상기 기입 방지 신호가 연결되며 제 2 단이 상기 다이렉트 센스 앰프 회로에 연결되는 제 2 블록 트랜지스터를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 20】

제 19항에 있어서, 상기 다이렉트 센스 앰프 회로는,

제 1 단이 상기 제 1 블록 트랜지스터의 제 2 단에 연결되고 제 2 비트라인에 게이트가 연결되는 제 1 센스 트랜지스터 ;

제 1 단이 상기 제 2 블록 트랜지스터의 제 2 단에 연결되고 제 1 비트라인에 게이트가 연결되는 제 2 센스 트랜지스터 ; 및

상기 제 1 센스 트랜지스터 및 상기 제 2 센스 트랜지스터의 제 2 단에 제 1 단이 연결되고 접지 전압에 제 2 단이 연결되며 상기 독출 기입 신호가 게이트에 연결되는 제 3 센스 트랜지스터를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 21】

제 20항에 있어서, 상기 제 1 및 제 2 블록 트랜지스터, 제 1 내지 제 3 센스 트랜지스터는,

엔모스 트랜지스터인 것을 특징으로 하는 반도체 메모리 장치.

【청구항 22】

제 18항에 있어서, 상기 입출력 게이트 회로는,

상기 제 1 데이터 입출력 라인에 제 1 단이 연결되고 상기 제 1 비트라인에 제 2 단이 연결되며 게이트로 상기 독출 기입 신호가 인가되는 제 1 트랜지스터 ; 및

상기 제 2 데이터 입출력 라인에 제 1 단이 연결되고 상기 제 2 비트라인에 제 2 단이 연결되며 게이트로 상기 독출 기입 신호가 인가되는 제 2 트랜지스터를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 23】

제 22항에 있어서, 상기 제 1 및 제 2 트랜지스터는,

엔모스 트랜지스터인 것을 특징으로 하는 반도체 메모리 장치.

【청구항 24】

제 18항에 있어서, 상기 독출 기입 신호는,

컬럼 어드레스 신호인 것을 특징으로 하는 반도체 메모리 장치.

【청구항 25】

제 18항에 있어서, 상기 기입 방지 신호는,

독출 동작 시에는 제 1 레벨로 발생되고 기입 동작 시에는 제 2 레벨로 발생하는 것을 특징으로 하는 반도체 메모리 장치.

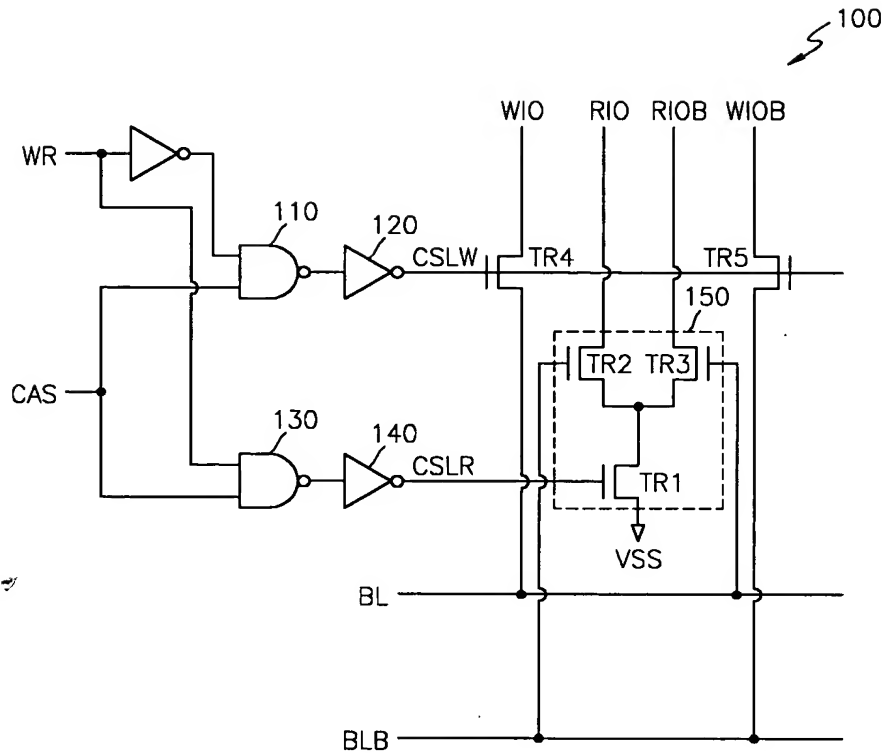
【청구항 26】

제 18항에 있어서, 상기 기입 방지 신호는,

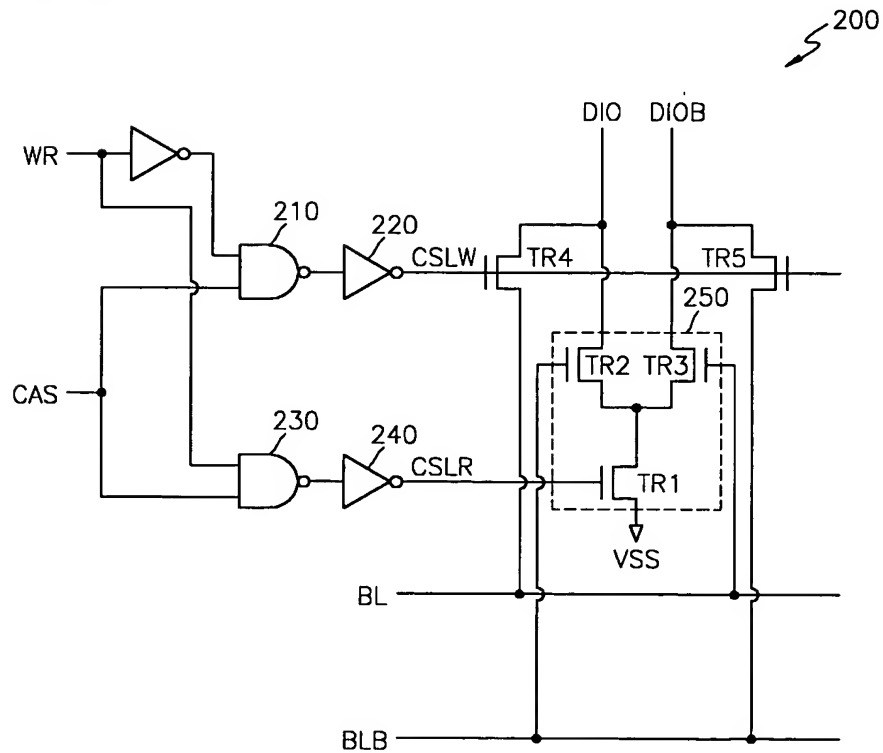
기입 명령과 어드레스 신호의 조합에 의해서 발생하는 것을 특징으로 하는 반도체 메모리 장치.

【도면】

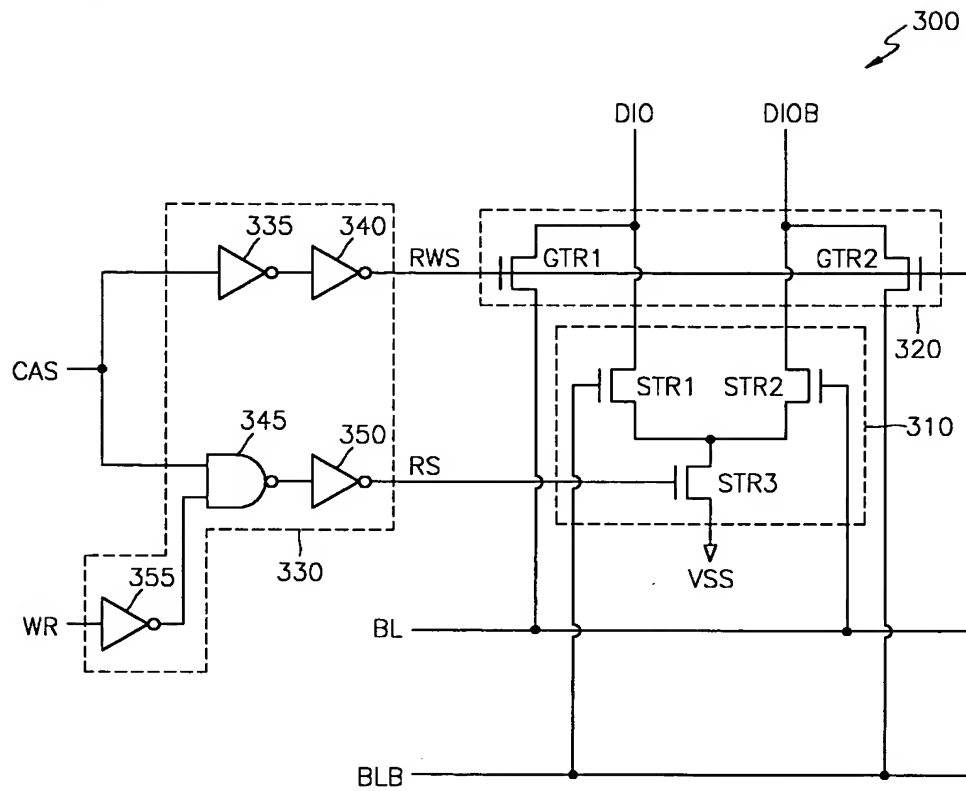
【도 1】



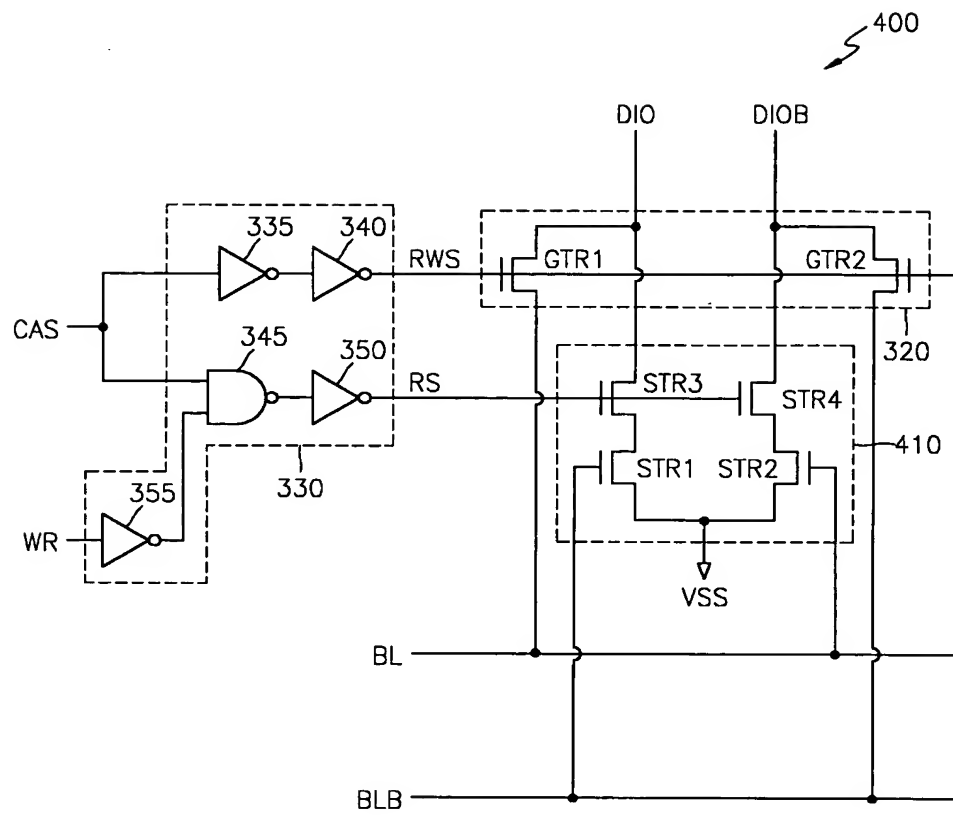
【도 2】



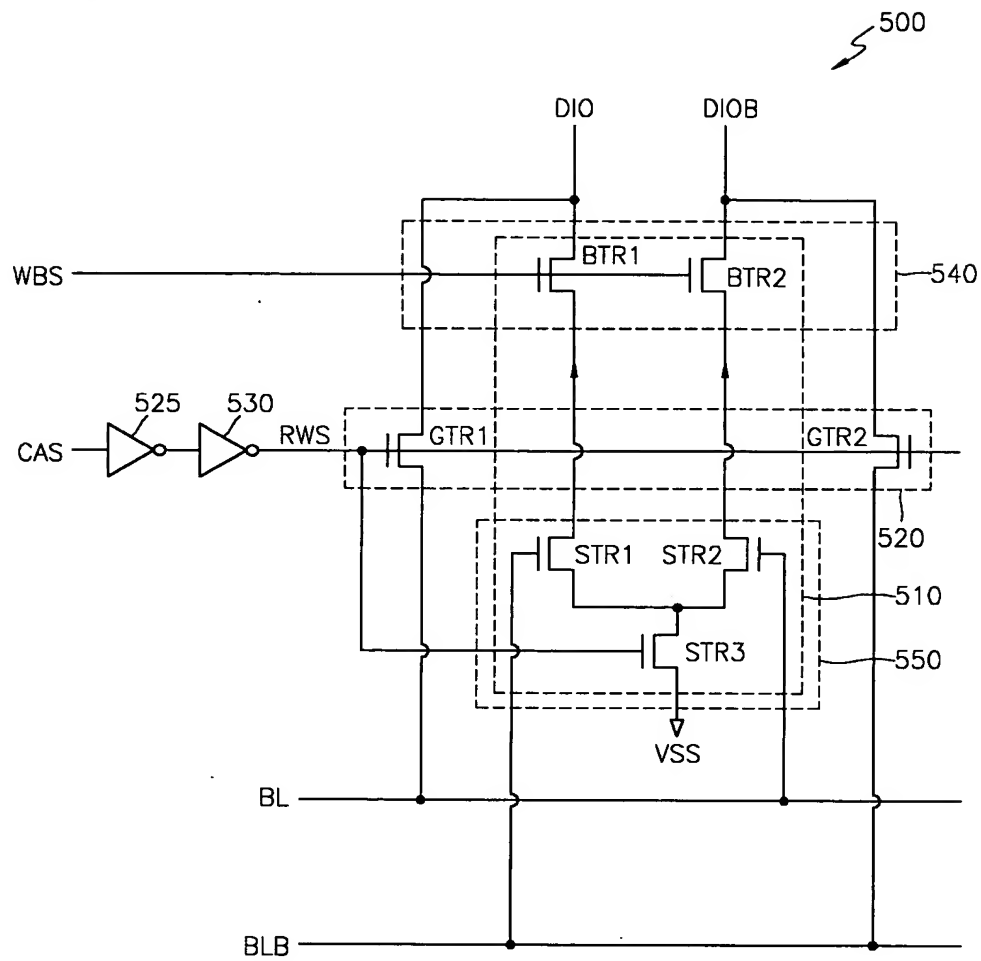
【도 3】



【도 4】



【도 5】





1020020079634

출력 일자: 2003/6/13

【도 6】

